

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representation of  
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018008

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 06-146606

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 28.06.1994

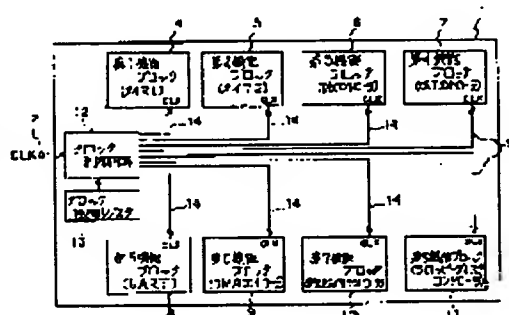
(72)Inventor : HASEGAWA KENJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To suppress wasting of power caused by no supply of clock signal to unused functional block signal, by controlling supply of clock signal to a functional block based on the functional block selection data stored in a clock control register.

**CONSTITUTION:** A clock control circuit 12, based on the value of control data written and set in a clock control register 13, controls supply of clock signal to each functional block. That is, by setting control data corresponding to used and unused functional blocks in the clock control register 13, the clock signal supplied to unused functional block is stopped, so that, wasteful power consumption caused by supplying clock signal to unused functional block is suppressed.



(19)日本特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-18008

(43)公開日 平成8年(1996)1月19日

(5)Inventor	H01L 27/04	21/822	特許庁
(6)IPC Class.	H01L 27/04	V	

審査請求 請求項 6 O L (全 9 頁)

(21)出願番号	特開平8-146508	(71)出願人	00000013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号 (72)発明者 長谷川 健次 伊丹市瑞穂 4 丁目 1 番地 三菱電機株式会社 社北伊丹製作所内 (70)代理人 弁理士 田崎 博昭 (外 2 名)
(22)出願日	平成8年(1994)6月28日		

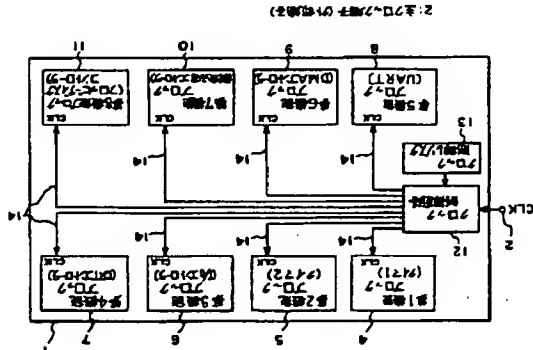
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【目的】 無駄な電力消費の少ない半導体集積回路を目的とする。

【構成】 複数の集積回路ブロック4〜11が存在する半導体集積回路1において、主クロック端子2は、クロック制御回路12に入力され、クロック制御レジスタ13は、クロック制御回路12から内部分岐クロックが出力され、各集積回路ブロック4〜11に供給される。

【効果】 使用されていない集積回路ブロックによって無駄に電力が消費されることがなくなることによって低消費電力化が可能になる。



【特許請求の範囲】

【請求項1】 外部端子から供給されるクロック信号を基に動作する複数の集積回路ブロックを内蔵した半導体集積回路装置において、前記集積回路ブロックへのクロック信号の供給を制御するための集積回路ブロック選択データを供給するクロック制御レジスタと、該クロック制御レジスタに格納された集積回路ブロック選択データを基に前記集積回路ブロックへの前記クロック信号の供給を制御するクロック制御回路とを備えたことを特徴とする半導体集積回路装置。

【請求項2】 前記集積回路ブロックへのクロック信号の供給を制御する前記クロック制御回路をタイマにより時間的に制御することを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記集積回路ブロックへのクロック信号の供給を制御するクロック制御回路を、外部から送られてくる受信データにより制御する非同同期式汎用伝送回路を備えたことを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記非同同期式汎用伝送回路は、外部から送られてくるデータとあらかじめ設定されたデータとを比較手段において比較した結果が一致する場合に限ってクロック制御回路を制御することを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 外部から入力される前記選択データを受け付ける前記集積回路と、該前記選択データが前記クロック信号に付けられたときに機能ブロックへのクロック信号の供給の制御を行うための前記集積回路ブロック選択データを格納する前記集積回路クロック制御レジスタとを備え、前記集積回路クロック制御レジスタに格納されたクロック制御データに基づき前記集積回路ブロックへのクロック信号の供給を制御し、あるいは前記集積回路ブロックへのクロック信号を受け付けたときには前記集積回路ブロック選択データを基に前記集積回路ブロック選択データを制御する前記集積回路クロック制御レジスタに格納された前記集積回路ブロック選択データを基に前記集積回路ブロックへのクロック信号の供給を制御することを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記クロック制御回路を時間的に制御するタイマを備え、前記クロック制御回路は前記タイマの出力とクロック制御レジスタに格納された集積回路ブロック選択データとを基に集積回路ブロックへのクロック信号の供給を制御し、あるいは前記集積回路ブロックへのクロック信号を受け付けたときには前記集積回路ブロック選択データを基に前記集積回路ブロックへのクロック信号の供給を制御することを特徴とする請求項5記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、複数の集積回路ブロックを有した半導体集積回路装置に関するものである。

【0002】

【従来の技術】 図7は、従来の半導体集積回路装置である。図において、1は複数の集積回路ブロックを内蔵した半導体集積回路装置、2は半導体集積回路装置1にクロック信号を供給する主クロック端子である。3は半導体集積回路装置1の内部の各集積回路ブロックにクロック信号を供給する内部クロック信号線である。4は前記集積回路装置1のクロック信号線と内部クロック信号線とを接続するクロック制御回路である。5はタイマ回路を有した第2集積回路ブロックである。6は10制御を行う10制御回路である。7はCMTを有した第3集積回路ブロックである。7はCMTを有した第4集積回路ブロックである。8はUART (Universal Asynchronous Receiver and Transmitter) としての機能を有した第5集積回路ブロックである。9はDMAコントローラとしての機能を有した第6集積回路ブロックである。10は割り込み用コントローラとしての機能を有した第7集積回路ブロックである。11はフレキシブルディスプレイコントローラとしての機能を有した第8集積回路ブロックである。

【0003】 従来の半導体集積回路装置は以上のように内部の集積回路が第1集積回路ブロック4と第2集積回路ブロック5と第3集積回路ブロック6と第4集積回路ブロック7と第5集積回路ブロック8と第6集積回路ブロック9と第7集積回路ブロック10と第8集積回路ブロック11から構成されている。この半導体集積回路装置1では、主クロック端子2から供給されたクロック信号は、内部クロック信号線3を通過して各集積回路ブロックに供給されている。

【0004】

【発明が解決しようとする課題】 従来の半導体集積回路装置は以上のように構成されているので、使用されていない集積回路ブロックが、主クロック端子2から供給されるクロック信号線3に接続されているため、内部クロック信号線3に接続されている集積回路ブロックのクロック信号供給系においてクロック信号の供給に伴う電力が無駄に消費される問題があった。

【0005】 請求項1の発明は、上記のような問題を解消するためになされたもので、使用されない集積回路ブロック信号にクロック信号が供給されることによる無駄な消費電力を抑制できる半導体集積回路装置を得ることを目的とする。

【0006】 請求項2の発明は、使用されない集積回路ブロックにクロック信号が供給されることによる無駄な消費電力を、時間的に抑制する半導体集積回路装置を得ることを目的とする。

【0007】 請求項3の発明は、使用されない集積回路ブロックにクロック信号が供給されることによる無駄な消費電力を外部から制御して抑制できる半導体集積回路装置を得ることを目的とする。

【0008】 請求項4の発明は、使用されない集積回路ブロック



(5)

【0033】次に動作について説明する。クロック制御レジスタ13に書き込まれた制御データの値に応じてクロック制御回路12が各機能ブロック4-11へのクロック信号の供給を開始するのは、データ受信部20にUART19のコンパレータ手段19aに設定したデータと同じデータが送られてきたときである。

【0034】このような機能が有効に利用されるものと期待される。携帯電話においては通話の受信待機中には、第5機能ブロック8から第8機能ブロック11までの機能は使用せず、また受信時には全機能ブロックを使用することが、このような場合、全機能ブロックにクロック信号が供給されるような制御データをクロック制御レジスタ13に設定し、電話受信データを最初に挿入された、UART19のコンパレータ手段19aに設定したデータと同じデータが受信されたときにクロック制御レジスタ13に設定した前記制御データの値が実行されるようにして、全機能ブロックにクロック信号が供給し、回線を接続して通話を行うことができる。

【0035】また、クロック制御レジスタ13に第5機能ブロック8から第8機能ブロック11までのクロック信号の供給を停止する制御データを設定し、通話終了時の受信データの最後でUART19のコンパレータ手段19aに設定したデータと同じデータが受信されたときに、クロック制御レジスタ13に設定した前記制御データの値が実行され、第5機能ブロック8から第8機能ブロック11までのクロック信号の供給を停止し、第1機能ブロック4から第4機能ブロック7まではクロック信号が供給し、再度受信待機に移行する。

【0036】従って本実施例では、外部から送られてきたデータに基づいてUART19により、クロック制御回路12による各機能ブロックへのクロック信号の供給あるいはクロック信号の供給の停止を制御することが可能となる。

【0037】実施例4. 以下、請求項5および請求項6の発明の一実施例を図について説明する。図5は、本実施例の半導体集積回路装置の構成を示すブロック図である。図5において図1および図3と同一または相当の部分については同一の符号を付し説明を省略する。図において2はCRTである。22は第4機能ブロック7とCRT21とを接続しているCRT制御部である。23はキーボードである。24はキーボード23と第2機能ブロック10との間を接続するキーボード割り込み制御線であり、キーボード23からキー入力された割り込み信号が出力される。25は第7機能ブロック10からクロック制御回路12への割り込み信号が出力されるクロック制御回路割り込み制御線である。26はクロック制御回路12による各機能ブロックへのクロック信号の供給を制御する制御データが書き込まれる第1クロック制御

(6)

み処理部28のみを設け、割り込み処理部28において受け付けた割り込みの内容に応じて第1クロック制御レジスタ26あるいは第2クロック制御レジスタ27の制御データの値に応じて第2機能ブロックへのクロック信号の供給の制御が行われるように構成してもよい。

【0044】

【発明の効果】以上のように、請求項1の発明によれば、機能ブロック選択データを格納するクロック制御レジスタと、該クロック制御レジスタに格納された機能ブロック選択データを基に各機能ブロックへのクロック信号の供給を制御するクロック制御回路とを備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を抑制できる。半導体集積回路装置が得られる効果がある。

【0045】請求項2の発明によれば、各機能ブロックへのクロック信号の供給を制御する前記クロック制御回路をタイマにより時間的に制御するように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を、時間的に制御できる。半導体集積回路装置が得られる効果がある。

【0046】請求項3の発明によれば、各機能ブロックへのクロック信号の供給を制御するクロック制御回路を、外部から送られてくる受信データにより制御する非同同期式割り込み伝送回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を外部から制御し制御できる。半導体集積回路装置が得られる効果がある。

【0047】請求項4の発明によれば、外部から送られてくるデータとあらかじめ設定されたデータとを比較手段において比較した結果が、一致する場合に割り込みクロック制御回路を制御する非同同期式割り込み伝送回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を外部から制御し制御できる。半導体集積回路装置が得られる効果がある。

【0048】請求項5の発明によれば、割り込み処理部が割り込み信号を受け付けたときに、割り込みクロック制御レジスタに格納された割り込み機能ブロック選択データにより機能ブロックへのクロック信号の供給を制御するクロック制御回路を備えるように構成したので、使用されない機能ブロックにクロック信号が供給されること

による無駄な消費電力を抑制し制御により抑制できる。半導体集積回路装置が得られる効果がある。

【0049】請求項6の発明によれば、タイマの出力とクロック制御レジスタに格納された機能ブロック選択データとを基に各機能ブロックへのクロック信号の供給を制御し、あるいは割り込み処理部が割り込み信号を受け付けたときには割り込みクロック制御レジスタに格納された割り込み機能ブロック選択データを基に各機能ブロックへのクロック信号の供給を制御し、また使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を抑制し、また使用されない機能ブロックにクロック信号が供給されることによる無駄な消費電力を抑制できる。半導体集積回路装置が得られる効果がある。

【図面の簡単な説明】  
【図1】 請求項1の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図2】 請求項1の発明の一実施例による半導体集積回路装置のクロック制御レジスタに書き込まれた制御データを示すブロック図である。

【図3】 請求項2の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図4】 請求項3と請求項4の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図5】 請求項5と請求項6の発明の一実施例による半導体集積回路装置の構成を示すブロック図である。

【図6】 請求項5と請求項6の発明の一実施例による半導体集積回路装置のクロック制御レジスタに書き込まれた制御データを示すブロック図である。

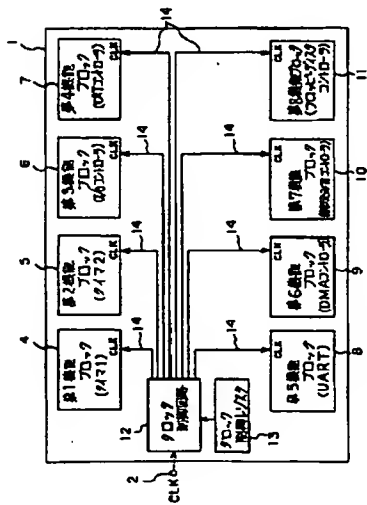
【図7】 従来の半導体集積回路装置の構成を示すブロック図である。

【符号の説明】

2 主クロック端子 (外部端子)、4 第1機能ブロック、5 第2機能ブロック、6 第3機能ブロック、7 第4機能ブロック、8 第5機能ブロック、9 第6機能ブロック、10 第7機能ブロック、11 第8機能ブロック (機能ブロック)、12 クロック制御回路、13 クロック制御レジスタ、18 タイマ、19 UART (非同同期式割り込み伝送回路)、19a コンパレータ手段 (比較手段)、28 割り込み処理部。

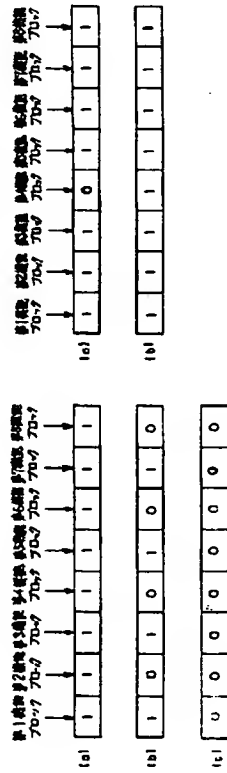
(7)

【図1】

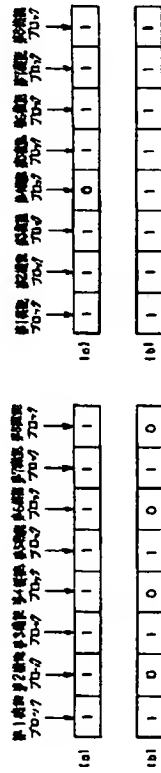


2:主クロック源 (外部接続)

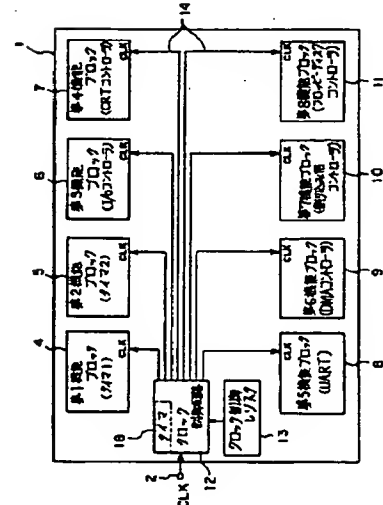
【図2】



【図6】

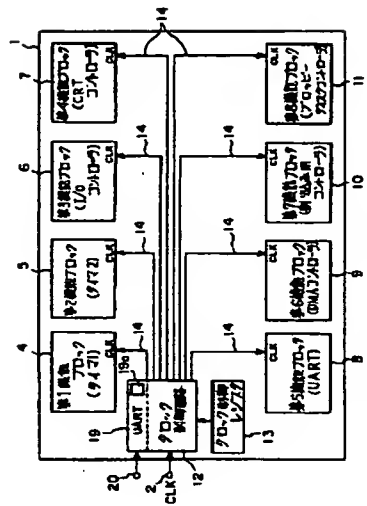


【図3】



(6)

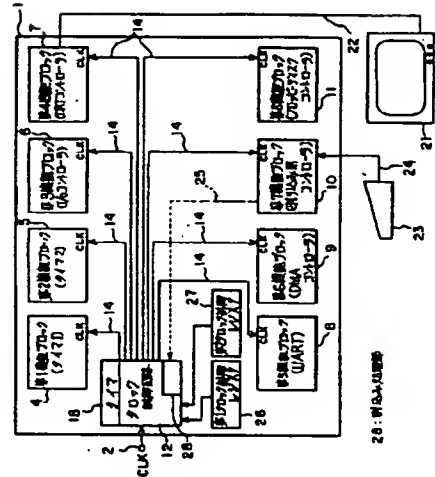
【図4】



19:UART (外部接続用データバス)

19a:コンパイル (外部接続)

【図5】



28:外部接続

(9)

【図7】

